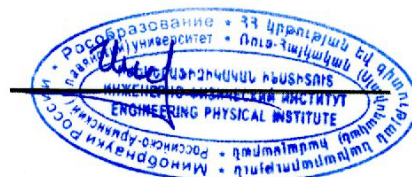


**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ**

Составлен в соответствии с
государственными требованиями к
минимуму содержания и уровню
подготовки выпускников по
направлению **11.03.03**
Конструирование и технология
электронных средств и Положением
«Об УМКД РАУ».

УТВЕРЖДАЮ:

Директор ИФИ Саркисян А.А.



21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: Джанноладов Вахтанг Арташесович

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

**Дисциплина: Б1.В.ДВ.06.01 «Синтез и оптимизация цифровых
интегральных схем»**

**Направление: 11.03.03 «Конструирование и технология электронных
средств»**

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** основ синтеза и оптимизации цифровых схем;
- **уметь:** анализировать и оптимизировать цифровые схемы;
- **владеть:** навыками автоматизированного синтеза цифровых схем.

1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Синтез и оптимизация цифровых интегральных схем» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Электротехника и электроника», «Схемо- и системотехника электронных средств», «Проектирование цифровых интегральных схем».

1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** классические методы проектирования комбинационных схем и схем с памятью и более сложных цифровых систем, принципы проектирования синхронных систем;
- **уметь:** составлять описания проектируемых устройств (проекты) для симуляции и синтеза цифровых устройств с учетом методов оптимизации, предоставляемых системой синтеза на всех этапах;
- **владеть:** навыками использования программных средств моделирования и синтеза цифровых устройств, составления проектных ограничений для синтезируемых устройств с учетом схем синхронизации.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Изучение данной дисциплины базируется на знании следующих дисциплин: «Схемо- и системотехника электронных средств», «Введение в проектирование интегральных схем», «Проектирование цифровых интегральных схем».

2. Содержание

2.1. Цели и задачи дисциплины

Целью дисциплины является изучение основ синтеза и оптимизации цифровых схем, формирование необходимых теоретических знаний и практических навыков по анализу характеристик синтезируемых схем, их взаимосвязей и по методам синтеза и оптимизации цифровых схем.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

(ПК):

- способностью моделировать объекты и процессы, используя стандартные пакеты автоматизированного проектирования и исследования (ПК-1)
- готовностью формировать презентации, научно-технические отчеты по результатам выполненной работы, оформлять результаты исследований в виде статей и докладов на научно-технических конференциях (ПК-3)
- готовностью осуществлять сбор и анализ исходных данных для расчета и проектирования деталей, узлов и модулей электронных средств (ПК-5)

общефессиональные компетенции (ОПК):

- способностью осуществлять поиск, хранение, обработку и анализ информации из различных источников и баз данных, представлять ее в требуемом формате с использованием информационных, компьютерных и сетевых технологий (ОПК-6)
- способностью использовать навыки работы с компьютером, владением методами информационных технологий, соблюдать основные требования информационной безопасности (ОПК-9)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	108/Зкред
1.1. Аудиторные занятия, в т. ч.:	52
1.1.1.Лекции	34
1.1.2.Лабораторные занятия	18
1.2. Самостоятельная работа, в т.ч.:	56
Итоговый контроль <u>Зачет</u>	

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Лабор. (ак. часов)
1	2	3	4
Раздел 1.Логический синтез цифровых интегральных схем	16	12	4
Тема 1.1. Введение. Логический синтез. Библиотека стандартных цифровых ячеек. IP-блоки. Маршрут проектирования цифровых ИС Digitaldesignflow.	4	4	
Тема 1.2. Уровни логической оптимизации. Функциональная оптимизация. Оптимизация на уровне вентилях (Gate Level Optimization).	6	4	2
Тема 1.3. Оптимизация быстродействия и площади. Временной анализ. Статический временной анализ (Setuptime, Holdtime). Временные ограничения. Ограничения по площади (area constraints).	6	4	2
Раздел 2. Этапы физического проектирования интегральных схем	36	22	14
Тема 2.1. Планирование кристалла (Floorplanning). Оценивание размера будущего кристалла.	6	4	2
Тема 2.2. Размещение блоков и стандартных библиотечных ячеек (Placement). Глобальное и детальное размещение. Оптимизация размещения и легализация ячеек.	7	5	2

Тема 2.3. Синтез дерева синхросигнала. Задержка синхросигнала, период синхросигнала. Дерево синхросигнала: общие понятия.	7	5	2
Тема 2.4. Оптимизация потребляемой мощности. Простые методы оптимизации мощности. Статический и динамический анализ сетки питания.	8	4	4
Тема 2.5. Физическая верификация. Процесс проверки правил проектирования (DRC). Сравнение разработанную топологию с принципиальной схемой (LVS).	8	4	4
ИТОГО	52	34	18

2.3.3 Содержание разделов и тем дисциплины

Раздел 1. Логический синтез цифровых интегральных схем

Тема 1.1. Введение.

Логический синтез. Входные данные синтеза. Поведенческое описание схемы. Библиотека стандартных цифровых ячеек. IP-блоки. Основы оптимизации. Взаимосвязь параметров площади, времени и мощности. Маршрут проектирования цифровых ИС Digitaldesignflow. Программные средства электронного автоматизированного проектирования. Физический синтез.

Тема 1.2. Уровни логической оптимизации.

Особенности поведенческого описания. Разделение ресурсов (ResourceSharing). Функциональная оптимизация. Выбор реализации (Implementationselection). Оптимизация арифметических выражений. Входные файлы логического синтеза. Оптимизация на уровне вентилях (Gate Level Optimization). Оптимизация комбинационной и последовательностной логики. Технологический файл.

Тема 1.3. Оптимизация быстродействия и площади.

Временной анализ. Критический путь. Временные параметры синхросигнала: задержка распространения сигнала, предельно допустимая задержка сигнала, время переходов. Ограничения синхросигнала, комбинационной логики. Моделирование. Статический временной анализ (Setuptime, Holdtime). Составление файла проектных ограничений. Временные ограничения. Ограничения по площади (area constraints).

Раздел 2. Этапы физического проектирования интегральных схем

Тема 2.1. Планирование кристалла (Floorplanning).

Оценивание размера будущего кристалла. Размещение блоков по кристаллу. Предварительная плотность элементов. Синтез сетки питания (PNS - power network synthesis).

Тема 2.2. Размещение блоков и стандартных библиотечных ячеек (Placement).

Подключение питания (Special Routing). Размещение периферийных колец питания и основных блоков, построение колец питания вокруг блоков. Глобальное и детальное размещение. Оптимизация размещения и легализация ячеек. Сокращение длины проводников за счет оптимальной ориентации ячеек. Выравнивание пинов и границ ячеек при детальном размещении и легализации. Оптимальное размещение IP-блоков.

Тема 2.2. Трассировка межсоединений (Routing).

Глобальная и детальная трассировка. Построение дерева синхронизации. Трассировка всех межсоединений в соответствии с нетлистом.

Тема 2.3. Синтез дерева синхросигнала (Clocktreesynthesis).

Задержка синхросигнала, период синхросигнала. Дерево синхросигнала: общие понятия. Синтез дерева синхросигнала. Генерация синхросигнала. Оптимизация структуры дерева синхросигнала с целью улучшения временных параметров работы схемы. Окончательный вид дерева синхросигнала. Входные файлы для передачи в IC Compiler.

Тема 2.4. Оптимизация потребляемой мощности.

Основные источники потребления энергии. Простые методы оптимизации мощности. Динамическое изменение напряжения. Требования для библиотеки стандартных ячеек: специальные ячейки, ячейки с разным пороговым напряжением. Оценка общего, поблочного и критического энергопотребления. Статический и динамический анализ сетки питания. Унифицированный формат питания (UPF). Оптимизация динамической мощности. Оптимизация потребления энергии с помощью DesignCompiler.

Тема 2.5. Физическая верификация.

Процесс проверки правил проектирования (DRC). Сравнение разработанную топологию с принципиальной схемой (LVS). Проектирование с учетом пригодности для производства (DFM) Правила DFM. Построение полного списка соединений (нетлиста) и извлечение файла задержек с целью осуществления всесторонней проверки работоспособности топологии устройства.

2.4. Материально-техническое обеспечение дисциплины

Лаборатория обеспечена персональными компьютерами, на которых установлено необходимое программное обеспечение фирмы Синопис для симуляции и синтеза цифровых устройств – VCS-симулятор, DesignCompiler и IC Compiler.

Необходимая учебно-методическая литература доступна в библиотеке учебного департамента.

2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	М1	М2	М3	М1	М2	М3		
Вид учебной работы/контроля								
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							1	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								1
Зачет(оценка итогового контроля)								
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1. Материалы по теоретической части курса

3.1.1. Учебник(и)

1. V. Tarate “Digital Logic Design Using Verilog: Coding and RTL Synthesis”, Springer, 2016
2. L. Lavagno, I. Markov, G. Martin, L. Scheffer “Electronic Design Automation for IC System Design, Verification and Testing”, 2016
3. P. Bricaud “Reuse Methodology Manual: For System-on-a-Chip Designs”, Springer, 2nd edition, 2013
4. D. Papa, I. Markov “Multi-Objective Optimization in Physical Synthesis of Integrated Circuits”, Springer, 2012
5. P. Khatri “Advanced Techniques in Logic Synthesis, Optimizations and Applications”, Springer, 2010
6. Design Compiler “User Guid”, Synopsys, 2010

4. Практический блок

4.1. Планы лабораторных занятий

1. Уровни проектирования. Маршрут логического и физического синтеза, анализ результатов.
2. Логический синтез. Оптимизация временных параметров и площади. Ограничения.
3. Синтез схем с низким энергопотреблением.
4. Синтез схем с низким энергопотреблением с использованием UPF.
5. Физический синтез. Оптимизация размещения.
6. Построение дерева синхросигнала и сетки питания.
7. Детальная трассировка.
8. Проектирование с учетом пригодности для производства.

5. Материалы по оценке и контролю знаний

5.1. Перечень вопросов для зачета

1. Маршрут проектирования цифровых ИС Digitaldesignflow.
2. Программные средства электронного автоматизированного проектирования.
3. Статический временной анализ (Setuptime, Holdtime).
4. Технологический файл.
5. Временные параметры синхросигнала.
6. Оптимизация на уровне вентилях (Gate Level Optimization).
7. Статический временной анализ (WNS, TNS).
8. Этапы физического проектирования интегральных схем.
9. Входные файлы логического синтеза.
10. Временные ограничения. Ограничения по площади (area constraints).
11. Планирование кристалла (Floorplanning).
12. Размещение блоков (Placement).
13. Трассировка межсоединений (Routing).
14. Синтез дерева синхросигнала (Clocktreesynthesis).
15. Статический временной анализ (Skew, Slew).
16. Оптимизация потребляемой мощности.
17. Физическая проверка (DRC, LVS).
18. Проектирование с учетом пригодности для производства (DFM).